

521.1014

UNITED STATES PATENT & TRADEMARK OFFICE

Re: Application of: **Horea-Stefan CULCA**
Serial No.: To Be Assigned
Filed: Herewith
For: **DATA TRANSMISSION DEVICE**

LETTER RE: PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

October 18, 2001

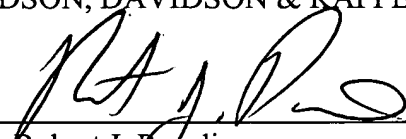
Sir:

Applicant hereby claims priority of the German Patent Application No. 199 17 576.4
filed April 19, 1999 through International Patent Application Serial No. PCT/EP00/01745, filed
March 1, 2000.

Respectfully submitted,

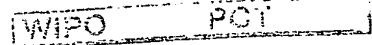
DAVIDSON, DAVIDSON & KAPPEL, LLC

By


Robert J. Paradiso
Reg. No. 41,240

Davidson, Davidson & Kappel, LLC
485 Seventh Avenue, 14th Floor
New York, New York 10018
(212) 736-1940

This Page Blank (uspto)



EP 0011745
4

EPO - Munich
51

09. März 2000

Bescheinigung

Die Klöckner-Moeller GmbH in Bonn/Deutschland hat eine Patentanmeldung unter der Bezeichnung

10/070032

"Datenübertragungseinrichtung"

am 19. April 1999 beim Deutschen Patent- und Markenamt eingereicht.

Der Firmenname der Anmelderin wurde geändert in:
Moeller GmbH.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

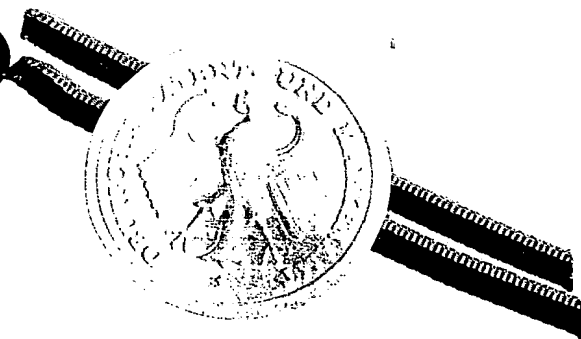
Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig die Symbole G 06 F und H 04 L der Internationalen Patentklassifikation erhalten.

München, den 1. März 2000

Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag



Aktenzeichen: 199 17 576.4

Wallner

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

Beschreibung

Datenübertragungseinrichtung

5

Die Erfindung betrifft eine Datenübertragungseinrichtung nach dem Oberbegriff des Anspruchs 1.

10

Datenübertragungseinrichtungen der eingangs genannten Art finden heute in vielen elektrischen Geräten Anwendung. Der Datenaustausch zwischen verschiedenen elektrischen Schaltgeräten zum Beispiel, gewinnt immer mehr an Bedeutung.

15

Informationen über auszuführende Programme und Funktionen sowie über die Geräte selbst oder über derzeitige Gerätezustände sollen jederzeit, von jedem Gerät, überall abfragbar und unter den Geräten austauschbar sein. Hierfür werden die Geräte bis in die untersten Funktionsebenen mit Intelligenz und entsprechenden Geräteschnittstellen für den Datenaustausch ausgerüstet.

20

Im Low-Cost-Bereich finden bevorzugt serielle Datenübertragungsarten Anwendung. Dies hat den Vorteil, daß weniger Signalleitungen als bei einer parallelen Datenübertragung benötigt werden. Um den Aufwand für benötigte Hardware möglichst niedrig zu halten, sollte die Datenübertragung synchron realisiert werden.

25

Für eine serielle synchrone Datenübertragung zwischen zwei Teilnehmern werden mindestens eine Datenleitung für eine bidirektionale Datenübertragung und eine Taktsignalleitung oder zwei Datenleitungen für eine unidirektionale Datenübertragung und eine Taktsignalleitung benötigt. Von besonderer Bedeutung ist hier die Taktsignalleitung, die den gesamten Signalfuß

30

zwischen den Teilnehmern steuert. Dieses Taktsignal wird von einem Mastergerät erzeugt. Ein mit dem Mastergerät kommunizierendes Slavegerät muß sich diesem vorgegebenen Takt anpassen.

Bekannte Schnittstellen für diese seriellen synchronen Übertragungsarten sind: I²C (Philips), SPI (Motorola), Microwire (National Semiconductor) oder dergleichen. Diese Schnittstellen werden in der Regel für die Datenübertragung zwischen verschiedenen Bauteilen innerhalb eines Gerätes eingesetzt.

Soll eine solche serielle synchrone Datenübertragung zwischen einzelnen Geräten realisiert werden, sind Maßnahmen bezüglich gegebenenfalls auftretender Störsignale vorzusehen. Um insbesondere die Taktsignalleitung vor Störeinflüssen zu schützen, werden üblicherweise Hardware-Entstörmaßnahmen in Form von Filtern und Abschirmungen vorgesehen. In manchen Fällen wird die Störsicherheit durch zusätzliche Software-Entstörmaßnahmen unterstützt. Derartige Software-Entstörmaßnahmen werden in der Regel durch wiederholtes Lesen der eingegangenen Informationen realisiert. Hierfür werden die Informationen in zeitlichen Abständen von zirka 5 bis 20µs (durchschnittliche Dauer der Störeinflüsse) wiederholt gelesen und durch eine Mehrheitsentscheidung (mehrheitlich gelesene Signale werden als richtige Signale gewertet) ausgewertet. Um die Störsicherheit bei dieser Art der Entstörung zu erhöhen, wird die Anzahl der Lesevorgänge erhöht.

Nachteilig bei der Entstörung mittels Hardware ist der relativ hohe Aufwand für Hardware. Ferner ist die digitale Softwareentstörung nur unzureichend, da lediglich das Mastergerät, welches ja das Taktsignal erzeugt, wiederholte Lesevorgänge durchführen kann, indem es für die erforderliche (Prüf-)Lesezeit das Taktsignal verzögert bzw. anhält.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Datenübertragungseinrichtung zu schaffen, die mit einfachen Mitteln die Störsicherheit bei einer seriellen Datenübertragung deutlich erhöht.

Ausgehend von einer Datenübertragungseinrichtung der eingangs genannten Art wird die Aufgabe erfindungsgemäß durch die kennzeichnenden Merkmale

des unabhängigen Anspruches gelöst, während den abhängigen Ansprüchen vorteilhafte Weiterbildungen der Erfindung zu entnehmen sind.

5 Durch die zusätzliche Quittierungsleitung ist das Slavegerät erfindungsgemäß in der Lage, das Mastergerät zu informieren, daß es die übermittelten Daten erhalten hat und die Verarbeitung der Daten sowie die entsprechende Entstörmaßnahme abgeschlossen sind. Das Mastergerät wird keine erneute Operation, an der dieser Slave beteiligt ist, einleiten, bis es das Quittierungssignal vom Slavegerät erhalten hat. Durch diese
10 erfindungsgemäße Ausbildung hat auch das Slavegerät die Möglichkeit, ausreichend lange empfangene Signale zu entstören.

Weitere Einzelheiten und Vorteile der Erfindung ergeben sich aus dem folgenden, anhand von Figuren erläuterten Ausführungsbeispiel. Es zeigen
15

Figur 1: eine Datenübertragungseinrichtung - bestehend aus einem Mastergerät und einem Slavegerät - gemäß der Erfindung in schematischer Darstellung; und

20 Figur 2: ein Übertragungsprotokoll für die serielle synchrone Datenübertragung zwischen zwei Teilnehmern gemäß Figur 1.

Fig. 1 zeigt eine Geräteanordnung bestehend aus einem Mastergerät 2 und einem Slavegerät 4, die zum Zwecke des Datenaustauschs über ihre
25 Datenübertragungsschnittstellen, Masterschnittstelle 22 und Slaveschnittstelle 24, miteinander verbunden sind. Zum Zwecke der Kommunikation weisen beide Geräte eine Intelligenz in Form einer eigenen Recheneinheit (z.B. Mikroprozessor oder Controller) auf.

30 In einer bevorzugten Ausführungsform sind zumindest eine Datenübertragungsleitung (Data-Out), zur Übertragung von Daten vom Master- zum Slavegerät 2, 4, eine Datenübertragungsleitung (Data-In) zur Übertragung von Daten vom Slave- zum Mastergerät 4, 2, eine Taktsignalleitung (Clock)

und eine erfindungsgemäße Quittierungsignalsleitung (Ready) zur Sendung eines Quittierungssignals vom Slave- zum Mastergerät 4, 2. vorhanden. Die Schnittstellen von Master- und Slavegerät 2, 4 weisen entsprechende Anschlußkontakte auf, wobei in dem dargestellten Ausführungsbeispiel die Signaleingänge des Mastergerätes 2 vorzugsweise invertiert sind. Ist nur eine Datenübertragungsleitung, bzw. nur jeweils ein Datenübertragungsanschluß je Teilnehmer, vorhanden muß diese/dieser für einen bidirektionalen Betrieb geeignet sein. Im dargestellten Ausführungsbeispiel sind zwei Datenübertragungsleitungen (Data-Out, Data-In) vorhanden. Hierbei handelt es sich um Datenübertragungsleitungen für einen unidirektionalen Betrieb; eine ungewollte Überlagerung von Daten bei gleichzeitiger Sendung von Daten der beiden Teilnehmer kann so ausgeschlossen werden. Durch die erfindungsgemäße Ausführung einer Quittierungssignalleitung (Ready) ist das Slavegerät 4 nunmehr in der Lage das Mastergerät 2 zu informieren, daß die Verarbeitung empfangener Daten und deren Überprüfung (mittels Entstörmaßnahme z.B. Mehrfachlesen und anschließende Mehrheitsentscheidung) abgeschlossen ist und das Slavegerät 4 nunmehr bereit ist für einen weiteren Datenempfang. Das Mastergerät 2 wird somit keine neue Operation starten (an welcher das aktive Slavegerät 4 beteiligt wäre) bevor es die Quittierung durch das Ready-Signal vom Slavegerät 4 erhält. Auf diese Weise ist auch das Slavegerät 4 in der Lage über eine ausreichend lange Zeit Signale zu entstören.

Im folgenden wird das Übertragungsprotokoll für die serielle synchrone Kommunikation zwischen Master- und Slavegerät 2, 4 an Hand der Figur 2 erläutert.

In der nachfolgenden Beschreibung und in der Figur 2 werden die Signale mit den jeweiligen Anschlußbezeichnungen der Schnittstellen von Master- und Slavegerät bezeichnet. Bei den Signalen des Masters: N-DOUT, N-CLOCK, N-DIN, N-READY handelt es sich bei dem dargestellten und beschriebenen Ausführungsbeispiel um negierte Signale (aktiv low).

Zeitpunkt	Master	Slave
1	initiiert die Kommunikation (den ersten Zyklus), indem er das erste Sende-Bit (SBit 1) auf die N-DOUT-Leitung platziert.	
2		Erhält das SBit 1 als DATAIN nach der entsprechenden Übertragungsverzögerung Master-Slave, Tms
3	aktiviert nach der notwendigen Clock-Verzögerung Tdc den N-CLOCK	
4		Nach der Übertragungszeit Tms bekommt der Slave ein Interrupt von der CLK-Leitung. Er trifft sodann die folgenden Maßnahmen: a) Setzt das erste Receive-Bit (RBit 1) auf DATAOUT b) liest mit Entstörung (mehrmals lesen und vergleichen) das SBit1 von der Leitung DATAIN. Falls nötig wird länger entstört, was zu einer Verlängerung der Tdr-Verzögerung führen kann
5	bekommt RBit 1 nach der Übertragungsverzögerung Slave-Master Tsm	
6		Aktiviert nach der notwendigen Tdr-Verzögerung die RDY-Leitung
7	bekommt das N-READY-Signal nach der Übertragungsverzögerung Tsm und: a) deaktiviert das N-CLOCK-Signal b) Setzt das nächste S-Bit auf N-DOUT (initiiert einen neuen Zyklus) c) liest mit Entstörung (mehrmals lesen und vergleichen) das RBit1 von der Leitung N-DIN. Falls nötig wird	

	länger entstört, was zu einer Verlängerung der Tdc-Verzögerung führen kann	
Zeitpunkt	Master	Slave
9	aktiviert das N-CLOCK-Signal nach der notwendigen Clock-Verzögerung Tdc (kann durch entstörtes Lesen verlängert werden)	
10	N-READY wird nach der Übertragungsverzögerung Tsm inaktiv	
11		bekommt nach der Übertragungsverzögerung Tms das aktivierte CLK-Signal und: a) Setzt das nächste R-Bit auf DATAOUT b) ließt mit Entstörung (mehrmals lesen und vergleichen) das S-Bit von der Leitung DATAIN. Falls nötig wird länger entstört, was zu einer Verlängerung der Tdr-Verzögerung führen kann
12	nach der Übertragungsverzögerung Tsm kommt das RBit an	
13		aktiviert RDY nach der notwendigen Ready-Verzögerung Tdr (kann durch entstörtes Lesen verlängert werden)
14	bekommt das N-READY-Signal nach der Übertragungsverzögerung Tsm und: a) deaktiviert das N-CLOCK-Signal b) Setzt das nächste SBit auf N-DOUT (initiiert den nächsten Zyklus) c) ließt mit Entstörung	
...	Die Schritte 7 - 13 werden bis zum vorletzten Zyklus wiederholt.	Dadurch werden die Bits 2 .. n-1 Übertragen
15	initiiert den letzten Zyklus, indem er das letzte Sende-Bit (SBit n) auf die N-DOUT-Leitung platziert. Deaktiviert N-	

	CLOCK und ließt mit Entstörung das RBit n-1	
Zeit-punkt	Master	Slave
17	Aktiviert N-CLOCK nach der notwendigen Clock-Verzögerung Tdc (kann durch entstörtes Lesen verlängert werden)	
18	N-READY wird nach der Übertragungsverzögerung Tsm inaktiv	
19		bekommt nach der Übertragungsverzögerung Tms das aktivierte CLK-Signal und: a) Setzt das letzte RBit n auf DATAOUT b) ließt mit Entstörung (mehrmals lesen und vergleichen) das letzte S-Bit n von der Leitung DATAIN. Falls nötig wird länger entstört, was zu einer Verlängerung der Tdr-Verzögerung führen kann
20	erhält das RBit n nach der Übertragungsverzögerung Tsm	
21		aktiviert RDY nach der notwendigen Ready-Verzögerung Tdr (kann durch entstörtes Lesen verlängert werden)
22	bekommt das N-READY-Signal nach der Übertragungsverzögerung Tsm und: a) Setzt die Leitung N-DOUT auf Ruhepegel ('high') c) ließt mit Entstörung (mehrmals lesen und vergleichen) das R-Bit1 von der Leitung N-DIN. Falls nötig wird länger entstört, was zu einer Verlängerung der Tdc-Verzögerung führen kann (IN-CLOCK wird noch nicht deaktiviert)	
23		nach der Übertragungsverzögerung Tms wird die Leitung DATAIN inaktiv ('low').

Zeitpunkt	Master	Slave
25		CLK wird nach der Übertragungsverzögerung Tms inaktiv, damit wird RDY deaktiviert und die Leitung DATAOUT freigesetzt ('low')
26	Nach der Übertragungsverzögerung Tsm wird N-READY inaktiv und N-DIN frei ('high'). Der Master kann jetzt die Übertragung eines neuen Telegramms starten.	

Tdc: Clock-Verzögerung beim Mastergerät

Tdr: Verzögerung des Quittierungssignals "RDY" beim Slavegerät

Tms: Verzögerung der Signale bei der Übertragung vom Master- zum Slavegerät

Tsm: Verzögerung der Signale bei der Übertragung vom Slave- zum Mastergerät

Die vorliegende Erfindung ist nicht auf die vorstehend beschriebenen Ausführungsformen beschränkt, sondern umfaßt auch alle im Sinne der Erfindung gleichwirkenden Ausführungsformen. Die Erfindung umfaßt ferner ein Slavegerät 4 mit einer Slaveschnittstelle 24 mit einem Quittierungsanschluß (RDY) und mit einer Recheneinheit (Mikroprozessor oder Controller) die derart ausgebildet ist, daß nach Beendigung eines Datenlesevorgangs ein Quittierungssignal für das Mastergerät 2 an dem Quittierungsanschluß (RDY) der Slaveschnittstelle 24 erzeugbar ist. Desweiteren umfaßt die Erfindung ein Mastergerät 2 mit einer Masterschnittstelle 22 mit einem Quittierungsanschluß (N-READY) und mit einer Recheneinheit, die derart ausgebildet ist, daß erst nach Erhalt eines Quittierungssignals vom Slavegerät 4 ein weiterer Schreibvorgang an das Slavegerät 4 initiiert ist.

Patentansprüche

1. Datenübertragungseinrichtung zur seriellen synchronen Datenübertragung,
- mit einem Mastergerät (2) umfassend eine Recheneinheit und eine
5 Masterschnittstelle (22), und
- mit einem Slavegerät (4) umfassend eine Recheneinheit und eine
Slaveschnittstelle (24),
- wobei Master- und Slaveschnittstelle (22, 24) über mindestens eine
Datenübertragungsleitung und eine Taktsignalleitung verbindbar sind,
10 **dadurch gekennzeichnet**, daß
- Master- und Slaveschnittstelle (22, 24) derart ausgebildet sind, daß sie
über eine zusätzliche Quittierungssignalleitung (Ready) für die
Übertragung eines Quittierungssignals vom Slave- zum Mastergerät (24,
22) verbindbar sind,
15 - die Recheneinheit des Slavegerätes (24) derart ausgebildet ist, daß nach
Beendigung eines Datenlesevorgangs das Quittierungssignal für das
Mastergerät (2) erzeugbar ist,
- die Recheneinheit des Mastergerätes (22) derart ausgebildet ist, daß
vom Mastergerät (2) erst nach Erhalt des Quittierungssignals vom
20 Slavegerät (4) ein weiterer Schreibvorgang an das Slavegerät (4)
initiierbar ist.
2. Datenübertragungseinrichtung nach Anspruch 1, **dadurch**
gekennzeichnet, daß genau eine bidirektionale Datenübertragungsleitung
25 vorhanden ist.
3. Datenübertragungseinrichtung nach Anspruch 1, **dadurch**
gekennzeichnet, daß zwei unidirektionale Datenübertragungsleitungen
(Data-Out, Data-In) vorhanden sind.

Zusammenfassung

Datenübertragungseinrichtung

5

Die Erfindung betrifft eine Datenübertragungseinrichtung zur seriellen synchronen Datenübertragung, mit einem Mastergerät (2) und mit einem Slavegerät (4) die über mindestens eine Datenübertragungsleitung und eine Taktsignalleitung verbindbar sind. Um eine optimierte Entstörung durch das Slavegerät zu gewährleisten, sind die Geräte über eine zusätzliche

10

Quittierungssignalleitung (Ready) für die Übertragung eines Quittierungssignals vom Slave- zum Mastergerät (4, 2) verbindbar, so daß nach Beendigung eines Datenlesevorgangs durch das Slavegerät (4) ein Quittierungssignal für das Mastergerät (2) erzeugbar ist und das Mastergerät (2) erst nach Erhalt des Quittierungssignals vom Slavegerät (4) einen weiteren Schreibvorgang an das Slavegerät (4) initiieren kann.

15

Fig. 1

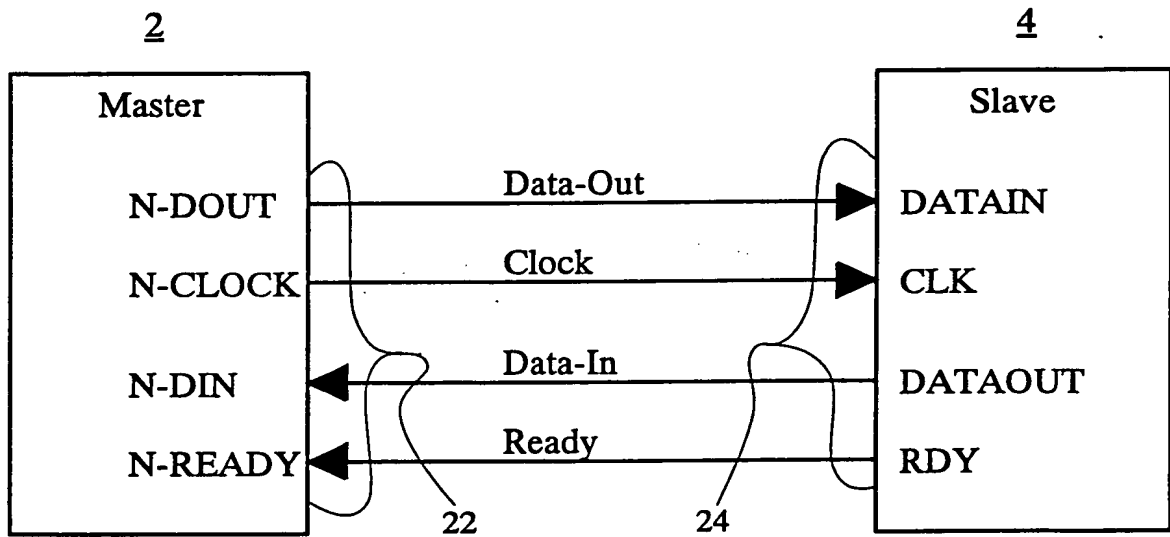


Fig.1

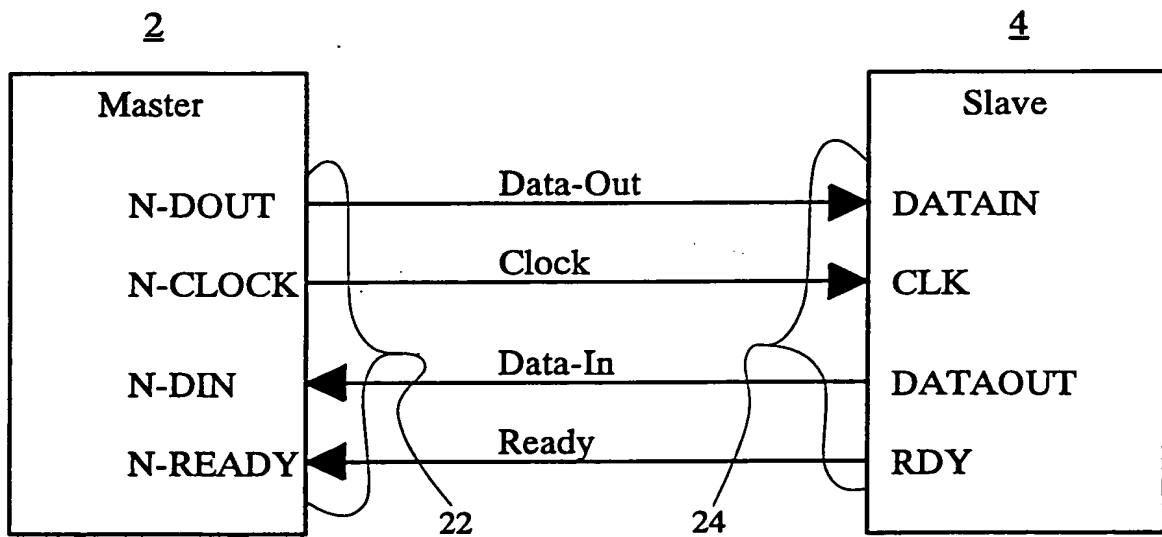


Fig.1

Fig.2

